Bài tập/Thực hành 7

CHƯƠNG 4 KIẾN TRÚC MIPS: PIPELINE

Võ Đình Thanh-1912041

a.

single clock = 203

multi clock = 50\*2 + 102\*4 + 51\*3= 661

pipeline = 203+4 = 207

b.

single clock = 203 \* (150+100+100+150)=101500ns

multi clock = 50\*(150+100) + 102\*(150+100+100)+ 51\*(150+100+100) = 66050ns

pipeline = (203+4)\*150 = 31050ns

c.

speedup pipline so với multi cycle = 2.13

speedup pipline so với single cycle = 3.27

d.

Thời gian thực thi khi delay ALU thay đổi từ 100 -> 150

single clock = 203 \* (150+100+150+150)=111650ns

multi clock = 50\*(150+100) + 102\*(150+150+100)+ 51\*(150+150+100) = 73700ns

pipeline = 31050ns